

基于测试向量中不确定位的漏电流优化技术

王 伟¹, 韩银和², 李晓维², 张佑生¹

(1. 合肥工业大学计算机与信息学院, 安徽合肥 230009; 2. 中国科学院计算技术研究所先进测试技术实验室, 北京 100080)

摘 要: 众所周知, CMOS 电路测试时由漏电流引起的漏电流功耗在测试功耗中处于重要地位. 降低测试时的漏电流对于延长需要周期性自测试的便携式系统电池寿命、提高测试的可靠性和降低测试成本都至关重要. 文章首先分析了漏电流的组成, 和与之相关的晶体管的堆栈效应. 然后, 我们提出了一种基于测试向量中不确定位(X 位)、使用遗传算法优化集成电路测试时漏电流的方法. 实验结果证明在组合电路和时序电路测试中该方法能够在不影响故障覆盖率的前提下, 有效优化测试时电路的漏电流.

关键词: 漏电流; 不确定位; 遗传算法

中图分类号: TP391.76 **文献标识码:** A **文章编号:** 0372-2112 (2006) 02-0282-05

Techniques of Leakage Current Optimization Based on Don't Care Bits in Test Vectors

WANG Wei¹, HAN Yin-he², LI Xiao-wei², ZHANG You-sheng¹

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China;

2. Advanced Test Technology Laboratory, Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100080, China)

Abstract It is well known that leakage power dissipation caused by leakage current in CMOS circuits during test periods has become a significant part of the total power dissipation. It is important to reduce leakage power to improve battery life in portable systems employing periodic self-test to increase reliability of test and to reduce test cost. This paper first analyzes leakage current and introduces the transistor stacking effect relevant to it. Then we present a method based on don't care bits (X) in test vectors and using the genetic algorithm to optimize leakage current in IC test. Experimental results indicate that this method can effectively optimize leakage current of combinational circuits and sequential circuits during test and it doesn't lose fault coverage.

Key words leakage current; don't care bits; genetic algorithm

1 引言

超大规模集成电路 (Very Large Scale of Integration, 简称 VLSI) 在测试模式下的功耗大于其在正常模式下的功耗, 最大能够达到正常工作情况下的两倍左右^[1]. 同时由于漏电流所消耗的功耗在总的电路功耗中所占的比重越来越大, 对测试时漏电流功耗的研究正变得越来越重要.

随着生产工艺进入到超深亚微米 (Very Deep Sub-Micron, 简称 VDSM), 特别是 130nm 及其以下工艺时, 漏电流所消耗的功耗在总的电路功耗中所占的比重不断增加, 已经接近动态功耗的比重, 并很可能在未来超越动态功耗^[2]. 由于静态功耗的重要地位, 如何减小测试时的漏电

流将是一个值得研究的新问题. 特别是对于使用超深亚微米 (VDSM) 工艺制造的芯片, 测试时过大的漏电流会产生较大的噪声, 增大串扰等问题的负面作用, 严重时可导致某些信号的畸变, 产生误检或漏检; 同时过大的测试功耗带来较大的热量, 会对相对脆弱的晶体管带来致命的影响, 极有可能降低芯片的可靠性, 甚至在测试中就对芯片造成永久性的破坏. 因此为提高测试稳定性、可靠性, 同时降低测试对待测芯片的负面影响, 必须对测试时的漏电流加以控制.

在超深亚微米工艺下, 国际上低漏电流测试技术的研究尚处于孕育阶段, 还没有成熟的技术. 目前有关测试功耗的研究方法也很少涉及减少测试时的漏电流功耗. 然

收稿日期: 2005-06-13 修回日期: 2005-11-02

基金项目: 国家自然科学基金 (No. 90207002); 国家 903 重点基础研究发展计划 (No. 2005CB321604); 北京市重点科技项目 (No. H020120120130); 中科院计算所基金 (No. 20056330, 20056600-16)

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

而,低功耗设计中有一些减小电路静态功耗的方法.文[3]中提出了使用输入向量控制法(Input Vector Control)来降低电路的漏电流,简便易行,但功耗优化的比例不大;文[4]中所提出的电源门控法(Power Gating)能一定程度上削减漏电流和动态功耗,但门控管的设计十分困难,并带来巨大的面积及性能上的开销,很难在实际中应用;阈值电压控制法(Threshold Voltage Control)和源级偏置法(Source Biasing)^[5]只能在一定程度上降低由于亚阈值电流造成的漏电流问题,但是在一定程度上是以牺牲性能为代价的.

另一方面,对测试时的漏电流进行优化不同于单纯的低功耗设计.普通的低功耗设计的目标一般是降低电路运行时的功耗、减少电路散发的热量,并没有特意考虑测试时的功耗优化问题.测试为了保证较高的测试覆盖率和测试效率,希望测试向量尽可能的完备,并为了降低测试成本,测试时间又被要求尽可能的少.这就使测试时电路内部节点状态的变化非常频繁.在超深亚微米工艺阶段,这种状态的剧烈变化会引起电路中漏电流的不断变化,将对电路的测试产生不良影响.

本文将结合漏电流控制方法,针对测试的特点,提出了一种基于测试向量中不确定位的优化技术来解决组合电路测试和时序电路扫描测试中漏电优化这一新问题.

2 漏电流分析

要想有效的降低测试时的漏电流,首先要精确的估计漏电流.漏电流主要分为三个部分:亚阈值漏电流(Sub-threshold leakage current)、栅氧漏电流(Gate-oxide leakage current)、BTBT漏电流(Band-To-Band-Tunneling leakage).在目前的工艺条件下,亚阈值漏电流所占比例最大,占据了绝大多数的比例;同时在实际工作中,亚阈值漏电流可以被适当控制.因此,为了快速的估算漏电流,一般研究的重点为亚阈值漏电流的估算.亚阈值电流是指当MOS晶体管的栅极电压低于阈值电压(Threshold voltage),晶体管处于非导通状态(OFF)时,晶体管的漏端和源端间通过的电流.亚阈值电流的BSM(Berkeley Short-Channel IGFET Model)模型如下^[6],其大小主要决定于晶体管器件的几何特性、工作温度等因素.

$$I_{sub} = \mu_0 C_{ox} \frac{W}{L_{eff}} V_i^2 e^{1/8} \exp\left[\frac{V_{gs} - V_{th}}{nV_t}\right] (1 - \exp(-V_{ds} N_t)) \quad (1)$$

事实证明,晶体管体效应(body effect)引起的堆栈效应(stack effect)很大程度上影响着电路中的亚阈值漏电流.堆栈效应是指,在晶体管几何特性相同的情况下,流过级联的两个或两个以上处于关断状态(OFF)晶体管的漏电流,比流过单个同样类型同样尺寸也处于OFF状态晶体管的漏电流小^[7].而晶体管的导通状态(ON)和关断状态(OFF)与晶体管输入的逻辑1和逻辑0紧密相关.因此,

可以通过控制电路的输入向量控制电路中各节点的逻辑值,进而优化电路中的漏电流.同时我们依据堆栈效应建立快速漏电流模拟器,用于漏电流的快速估计.

3 利用测试向量中不确定位进行漏电流优化

3.1 测试向量中的不确定位

测试中,测试向量直接决定着测试时电路的漏电流.测试向量由很多确定位(0或1)和不确定位(don't care bits 通常用X表示)组成.不确定位表示这一位的值可以是逻辑0也可以逻辑1,但无论哪种赋值都不影响测试的故障覆盖率,对测试结果无影响.在实际测试时,通常对不确定位随意赋值.一般来说,对于大规模电路,自动测试产生器(Automatic Test Pattern Generation,简称ATPG)产生的测试向量中不确定位大都在50%以上.显而易见,如果对数量如此巨大的不确定位随意赋值很可能导致测试时电路中的漏电流过大,对电路造成负面影响.

本文提出在电路测试时,在保证故障覆盖率的前提下,对ATPG产生的测试向量中不确定位的赋值方法进行改进,充分考虑电路测试时占重要地位的漏电流功耗,通过对测试向量的控制,优化测试时电路的漏电流.

3.2 针对组合电路和时序电路的漏电流优化算法

对于小规模电路,对于不确定位可以使用穷举的方法,找到对应测试时最小漏电流的不确定位赋值组合.然而大规模电路往往有成百上千个输入,不可能用穷举的方法来解决这个NP问题(假设N个不确定位,搜索空间为 2^N).这时采用启发式算法会收到较好的效果.

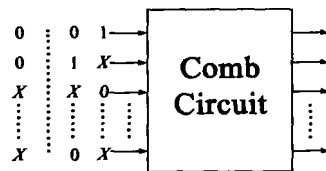
遗传算法(Genetic Algorithm,简称GA)作为一种有效的最优化搜索方法,简单通用,鲁棒性强,常被用来求解NP-hard问题.其主要思想是选择足够多的性能较好的父代染色体,通过随机交叉彼此的基因或进行基因的变异,期望能产生比父代更优秀的子代染色体.这样经过若干代的交替,新生代中的优良基因被保留,而劣质基因会被逐渐淘汰,最终产生适应性最好的个体,从而收敛到最优解.针对不确定位的赋值问题,二进制的测试向量非常适合作为遗传算法中的染色体.

测试组合电路时,测试向量被施加到电路的输入端(图1).假设电路无延时,电路内部节点会根据施加的输入向量立即发生状态变化.我们称一个时钟周期内在电路输入端

图1 组合电路测试

施加的测试向量为一个测试向量切片.

根据遗传算法,首先对某一测试向量切片中的不确定位进行多次随机赋值,产生除不确定位外其他位都相同的足够多的第一代测试向量(例如:向量切片 $1 \times 1 \times 0$ 中有2个不确定位X,多次赋值可产生11110 10100 10110等多



个向量), 作为第一代染色体. 然后, 利用漏电流模拟器进行漏电流计算. 选取产生效果较好 (低测试漏电流) 的染色体进行交叉和变异, 期望产生足够多的效果更好的子代染色体. 这种操作反复进行, 直到达到终止条件 (遗传代数的限制和计算精度的要求), 得到产生最小漏电流所对应的不确定位赋值情况. 相应的遗传算法流程图参见图 2

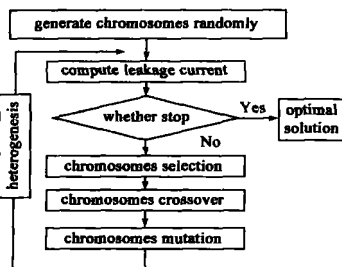


图 2 遗传算法流程图

全扫描测试是一种有效的测试技术, 被广泛应用在时序电路的测试中. 本文的优化方法同样适用于时序电路的全扫描设计. 在全扫描设计中, 时序电路一般被看成由组合逻辑和若干作为存贮功能的触发器

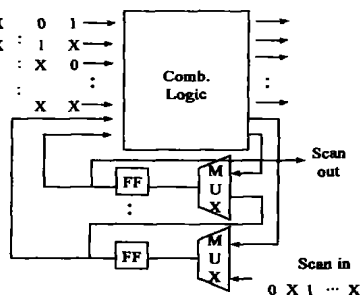


图 3 时序电路测试

(Flip-Flop, 简称 FF) 组成. 这些触发器相互连接组成若干条扫描链. 测试向量并不是都直接施加在组合逻辑上, 有一部分测试向量通过扫描链施加在触发器上. 本文中, 为了说明问题, 假设时序电路中仅有一条扫描链 (图 3). 在目前的工艺水平下, 时序电路测试中的峰值功耗一般出现

在测试向量全部被打入电路后, 电路大量节点同时翻转的过程中. 我们着眼于减小该时刻静态功耗的优化, 借以减小测试中的峰值功耗.

测试时序电路与测试组合电路类似, 不同的是部分测试向量被直接施加到组合逻辑的输入端 (Primary Input 简称 PI), 但另一部分测试向量被施加到电路的伪输入端 (Pseudo Primary Input 简称 PPI), 通过扫描链输入到对应的触发器中. 因此本文的优化方法必须考虑对伪输入端测试向量的优化, 找到产生最小漏电流所对应的不确定位赋值情况.

使用类似的方法, 我们也可以找到产生最大漏电流所对应的不确定位赋值情况.

4 实验结果

本文中的漏电流模拟器采用了 Berkeley130nm 的 CMOS 工艺库^[8], 电源电压为 1.3V, NMOS 管的宽度为 0.4 μ m, PMOS 管的宽度为 0.8 μ m, 有效沟道长度为 0.114 μ m, 室温为摄氏 25 度. 漏电流模拟器使用 VC++ 6.0 语言实现. 我们利用该模拟器在 P4 3.0GHz (HT) CPU, 256MB 内存 (SDRAM) 的计算机上, 采用 MINTEST^[9] 测试集对 ISCA S85 和 ISCA S89 的部分电路进行了实验. 设置遗传算法种群交叉率为 0.8 变异率为 0.1, 终止代数为 200 代, 运行次数为 10 次. 实验数据如下所示, 漏电流均是取电路测试过程中的平均漏电流.

我们首先对 ISCA S85 电路中 6 个组合电路的测试集进行漏电流优化实验 (表 1, 表 2). 为加快算法收敛速度, 在随机产生的染色体中选取产生漏电流较小的测试向量作为第一代染色体.

表 1 组合电路测试时电路中最小和最大漏电流的估计

Circuit	Gate Counts	Primary Inputs	Xs percent %	GA		Optimization %
				Avg. Min. Leakage (pA)	Avg. Max. Leakage (pA)	
C1355	625	41	4.34	358274	358509	0.07
C1908	830	33	23.28	647514	660085	1.94
C2670	1459	233	77.49	1029095	1186583	15.30
C3540	1613	50	53.35	1444529	1484509	2.77
C5315	2813	178	66.17	1964515	2230912	13.56
C7552	3685	207	57.11	2900997	3022674	4.19

表 2 组合电路测试中遗传算法与随机模拟方法的比较

Circuit	GA				Random (do the simulation 10000 times)			Effect (%)
	Avg. Min. Leakage (pA)	Run time (s)	Avg. Max. Leakage (pA)	Run time (s)	Avg. Min. Leakage (pA)	Avg. Max. Leakage (pA)	Run time (s)	
C1355	358274	52.72	358509	52.91	358274	358509	3387.42	100
C1908	647514	347.56	660085	355.25	655191	659284	6468.81	32.56
C2670	1029095	804.64	1186583	811.80	1079438	1135521	4438.56	35.61
C3540	1444529	452.55	1484509	462.81	1455621	1471824	6496.99	40.53
C5315	1964515	1313.03	2230912	1286.02	2072263	2160404	4059.25	33.09
C7552	2900997	1391.97	3022674	1413.83	2934861	2955653	6611.64	17.09

以上表格显示, 在组合电路中利用测试向量中不确定位可任意赋值的特性, 使用基于遗传算法的优化方法可以

在巨大的搜索空间中快速求解出测试时产生最小漏电流的不确定位赋值组合. 表 1 利用公式 (2) 评估该优化方法

的优化效果. 可以看出在 130nm 工艺下, 测试时漏电流优化的影响大约 20% 以下. 但是, 漏电流的大小随工艺的进步而成指数级增长. 已证明在 90nm 工艺下, 静态功耗将占整个电路实际消耗功耗的 42% 以上^[10]. 因此在更深工艺水平下, 该优化方法在测试中的作用将会更加明显, 有着较好的发展前景.

我们使用对不确定位随机赋值的方法, 在 10000 次运行结果中找出最小和最大的平均漏电流. 通过表 2 的比较, 可以发现, 运行 10000 次的随机赋值方法效果并不好, 除 C1355 电路以外, 其他电路的优化幅度 (Effect 参见公式 3) 都低于遗传算法优化幅度的 1 半. 同时, 随机赋值方法耗费的运行时间大都是遗传算法运行时间的 3 倍以上. 随机赋值方法对 C1355 电路的优化效果和遗传算法一样, 是由于 C1355 电路的不确定位数量较少, 10000 次随机赋值实际已经完全覆盖了搜索空间.

$$\text{Optimization} = \frac{\text{GA_Avg M ax} - \text{GA_Avg M in}}{\text{GA_Avg M in}} \times 100\%$$

(2)

表 3 时序电路测试时电路中最小和最大漏电流的估计

Circuit	Gate Counts	Primary Inputs	DFFs	X percent (%)	GA		Optimization (%)
					Avg M in Leakage (pA)	Avg M ax. Leakage (pA)	
S641	107	35	19	49.36	260466	281056	7.91
S1196	388	14	18	56.45	388117	441567	13.77
S1238	428	14	18	56.80	387596	440238	13.58
S5378	1004	35	179	72.62	1269451	1503277	18.42
S9234	2027	36	211	73.00	3685433	4400217	19.39
S13207	2573	62	638	93.15	5030023	6192659	23.11
S35932	12204	35	1728	35.30	12057921	14056783	16.58

表 4 时序电路测试时遗传算法与随机模拟方法的比较

Circuit	GA				Random (do the simulation 10000 times)			Effect (%)
	Avg. M in Leakage (pA)	Run time (s)	Avg. M ax. Leakage (pA)	Run time (s)	Avg. M in Leakage (pA)	Avg. M ax Leakage (pA)	Run time (s)	
S641	260466	67.30	281056	69.62	266812	276336	1746.38	46.26
S1196	388117	493.26	441567	496.94	400915	421247	4263.60	38.04
S1238	387596	556.61	440238	569.55	399123	422935	5036.42	45.23
S5378	1269451	1372.82	1503277	1386.68	1336217	1384572	13680.32	20.68
S9234	3685433	3251.46	4400217	3306.13	4018721	4306468	25672.15	40.26
S13207	5030023	8316.32	6192659	8231.89	5187301	5803126	862215.33	52.97
S35932	12057921	25622.57	14056783	26216.70	12273240	13789241	1045317.59	75.84

见公式 (3).

与组合电路的情况类似, 该优化方法在时序电路中也同样适用. 速度比随机模拟的方法快. 但与组合电路情况不同的是, 时序电路中触发器的作用并不等同于组合逻辑的直接输入. 时序电路中触发器的作用实际等于增加了电路内部的控制点. 而控制点在电路的不同位置, 发挥的控制作用也不相同. 这使得时序电路的优化效果与测试向量中不确定位的数量并不成线性关系. 通过控制点的控制, 电路内部状况可以被进一步优化. 因此当触发器含较多不

$$\text{Effect} = \frac{\text{Random_Avg M ax} - \text{Random_Avg M in}}{\text{GA_Avg M ax} - \text{GA_Avg M in}} \times 100\% \tag{3}$$

观察表 1 我们发现, 在组合电路中不确定位的比例对漏电流的优化效果影响较大. 因此我们对 C5315 电路进行了实验 (图 4). 证明当不确定位的比例上升时, 漏电流的优化效果随之上升, 基本成近似线性关系; 反之, 亦然. 这种情况对优化 ATPG 进行低漏电流测试有一定的参考价值. 测试向量由线性反馈移位寄存器 (LFSR) 产生. 实验中考虑到故障覆盖率, X 位的比例不可能为 100%.

表 3 表 4 显示了该方法在 7 个 ISCA S89 时序电路中的应用效果. 算法在实现时假设电路的所有触发器被连接成一条扫描链. 表中 Optimization 参见公式 (2), Effect 参

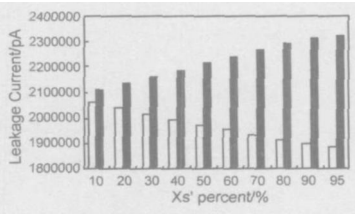


图 4 不确定位比例对漏电流的影响 (C5315)

确定位时, 时序电路的优化效果往往比组合电路的优化效果明显.

5 结束语

本文讨论了测试向量对测试时漏电流的影响, 提出了使用遗传算法对测试向量中特有的不确定位进行快速而准确的赋值, 降低测试时的漏电流, 有效降低测试时的风险. 实验结果表明该方法能够有效优化组合电路和时序电路测试时的漏电流, 同时保持较高的故障覆盖率. 随着工

艺水平的进步,漏电流将会不断增大,测试时使用该优化方法的效果也会更加明显,针对测试时漏电流的研究将会成为一个研究热点.

参考文献:

- [1] Y Zorian. A distributed BIST control scheme for complex VLSI devices[A]. Proceedings of IEEE VLSI Test Symposium [C]. Atlantic City, USA: IEEE Computer Society, 1993. 4- 9.
- [2] N S Kim, T Austin, D Blaauw, et al. Leakage current Moore's law meets static power[J]. IEEE Computer, 2003. 36(12): 68- 74.
- [3] D Duarte, Y F Tsui, N Vijaykrishnan, et al. Evaluating run-time techniques for leakage power reduction[A]. Proceedings of 7th Asia South Pacific Design Automation Conference and 15th VLSI Design[C]. Bangalore, India: IEEE, 2002. 31- 38.
- [4] F Li, L He. Estimation of maximum powerup current[A]. Proceedings of IEEE Asia South Pacific Design Automation Conference[C]. Bangalore, India: IEEE, 2002. 51- 56.
- [5] W Liao, J Basile, L He. Leakage Power Modeling and Reduction with Data Retention[A]. Proceedings of IEEE/ACM International Conference on Computer-Aided Design[C], San Jose, CA, USA: ACM, 2002. 714- 719.
- [6] R X Gu, M I Elmasy. Power dissipation analysis and optimization of deep submicron CMOS digital circuits[J]. IEEE Journal of Solid State Circuits, 1996. 31(5): 707- 713.
- [7] T Kamak, S Borkar, V De. Sub-90nm technologies challenges and opportunities for CAD[A]. Proceedings of ACM/IEEE International Conference on Computer-Aided Design[C]. San Jose, CA, USA: ACM, 2002. 203- 206.
- [8] UC Berkeley Device Group[DB/OL]. <http://www-device.eecs.berkeley.edu/~ptm/>.
- [9] I Hamzaoglu, J Patel. Test set compaction algorithms for combinational circuits[A]. Proceedings of IEEE/ACM International Conference on Computer-Aided Design[C]. San Jose, CA, USA: ACM and IEEE Computer Society, 1998. 283- 289.
- [10] J Kao, S Narendran, A Chandrakasan. Subthreshold leakage modeling and reduction techniques[A]. Proceedings of IEEE/ACM International Conference on Computer-Aided Design[C]. San Jose, CA, USA: ACM, 2002. 141- 148.

作者简介:



王伟男, 1979年生于安徽省合肥市, 博士研究生, 1997年考入合肥工业大学, 2001年获合肥工业大学工学学士学位, 同年进入合肥工业大学攻读博士学位, 主要研究方向是: 低功耗测试技术, 可测试性设计, 低功耗设计, SOC测试资源优化. E-mail: Wang_wei@ict.ac.cn

韩银和男, 1980年生, 2001年进入中国科学院计算技术研究所攻读博士学位, 主要研究方向是: SOC测试资源划分和优化, IC可测性及测试技术, ATE设计技术.

李晓维男, 1964年出生, 博士, 研究员, 博士生导师, IEEE高级会员, 研究方向: VLSI/SoC低功耗易测试设计、设计验证与测试、可信计算.



张佑生男, 1941年生, 教授, 博士生导师, 1964年毕业于华中科技大学无线电技术专业, 1984年获英国莱斯特大学(Leicester University)硕士学位, 研究方向: 计算机图形学、图像识别与理解、智能CAD.